สารบัญ

	หน้าที่
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VI
สารบัญภาพ	VII
บทที่ 1 บทนำ	1
1.1 หลักการและเหตุผล	1
1.2 วัตถุประสงค์	2
1.3 ผลที่คาดว่าจะได้รับ	3
1.4 ขอบเขตของโครงงาน	3
บทที่ 2 ทฤษฎีและหลักการ	4
2.1 โครงสร้างและการทำงานทั่วไปของลอจิกอะนาไลเซอร์	4
2.2 ความเป็นมาของ FPGA	6
2.3 สถาปัตยกรรม FPGA	10
2.4 โครงสร้างภายในของ FPGA	11
2.5 แนวทางการออกแบบวงจรด้วย FPGA (FPGA Design)	16
2.6 ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่ายและสะดวกรวดเร็ว	20
2.7 การเขียนภาษา VHDL	21
2.8 การรับ – ส่งข้อมูลแบบอนุกรมด้วย FPGA	36
บทที่ 3 โครงสร้างและการออกแบบ	41
3.1 ทางการออกแบบ	41
3.2 แนวทางการออกแบบทางซอร์ฟแวร์	51
บทที่ 4 การทดสอบ/ผลการทดลอง	67
4.1 การทศสอบ	67
4.2 วิธีการทดลอง	68
4.3 ผลการทดลอง	68

สารบัญ (ต่อ)

	หน้าที่
บทที่ 5 บทวิจารณ์และสรุป	70
5.1 บทวิจารณ์	70
5.2 สรุป	71
5.3 ข้อเสนอแนะสำหรับการพัฒนาในอนาคต	71
บรรณานุกรม	XI
ภาคผนวก ก.วงจรและอุปกรณ์ที่เกี่ยวข้อง	XII
ภาคผนวก ข.โปรแกรมในส่วนของฮาร์ดแวร์	XIII

สารบัญตาราง

ตารางที่	หน้าที่
2-1 แสดงตัวอย่างรายชื่อซอฟต์แวร์และผู้ผลิตที่ใช้ในการออกแบบแต่ละขั้นตอน	20
2-2 อัตราบอดที่ใช้กันทั่วไป	40

สารบัญรูป

รูปที่	หน้าที่
1-1 แสดงการใช้เครื่องลอจิกแอนนาไลเซอร์ ทำการวิเคราะห์สัญญาณจากบอร์ดไมโครคอนโทรเลอร์	1
1-2 แสดงลักษณะสัญญาณทางตรรกะที่จับได้ออกมาทางจอภาพ	2
2-1 โครงสร้างและการทำงานทั่วไปของเคราะห์สัญญาณทางตรรกะ	4
2-2 ประเภทของ ASIC	6
2-3 วงจรพื้นฐานของ PLD ซึ่งอยู่ในรูปผลคูณร่วมบวก	8
2-4 ลักษณะของ PROM เมื่อเปรียบเทียบเป็นวงจรในรูปผลคูณร่วมบวก	8
2-5 วงจรพื้นฐานภายในของ PLA	9
2-6 วงจรพื้นฐานภายในของ PAL	9
2- 7 แสดง FPGA แต่ละประเภท	10
2-8 แสดงสถาปัตยกรรม FPGA	12
2-9 แสดง Symmetrical Array FPGA ของ Xilinx ตระกูล XC2Sxx	12
2-10 แสดงวงจรของ Configurable Logic Block (CLB)	14
2-11 แสดงโครงสร้างของ Input / Output Block (IOB)	15
2-12 แสดงขั้นตอนการออกแบบโดยใช้ FPGA	16
2-13 การโปรแกรมลงในชิพ	21
2-14 แสดงขั้นตอนการออกแบบระบบดิจิตอล	22
2-15 การออกแบบระบบเส้นทางของข้อมูล	22
2-16 การกำหนดการเชื่อมต่อและสถาปัตยกรรม	26
2-17 บล็อกไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_ component	26
2-18 การบรรยายเชิงพฤติกรรมของ clock _ component	27
2-19 โครงสร้างทั่วไปของส่วนการประกาศแพ็กเกจ	28
2-20 โครงสร้างของบอดี้แพ็กเกจ	28
2-21 สร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ	28
2-22 การใช้โพรซีเจอร์	29
2-23 การใช้ฟังก์ชัน	29
2-24 ตัวดำเนินการใน VHDL	30

สารบัญรูป (ต่อ)

รูปที่ **หน้าที่**

2-25 รูปแบบของการบรรยายแบบโปรเซส 31

2-26 ตัวอย่างการประกาศตัวดำเนินการภายในโปรเซส 31

2-27 เงื่อนไขการกระทำในโปรเซส 32

2-28 แสดงการกระทำในโปรเซส 32

2-29(a) ตัวอย่างโมเดล D-Flip Flop 33

(b) การบรรยายการเชื่อมต่อของ D-Flip Flop 33

2-30 การบรรยายเชิงพฤติกรรมของ D-FlipFlop 34

(a) การใช้ตัวกระทำภายนอกโปรเซส 34

(b) การใช้ตัวกระทำภายในโปรเซส 34

2-31 ขั้นตอนการออกแบบจากบนลงล่าง 35

2-32 ลักษณะการสื่อสารแบบขนาน 36

2-33 การส่งข้อมูลแบบอนุกรม 37

2-34 การจัดขาของคอนเน็คเตอร์พอร์ตอนุกรมแบบ DB-9 38

2.35 การต่ออุปกรณ์ภายนอกกับคอมพิวเตอร์โดยใช้สัญญาณเพียง 3 เส้น 38

2-36 รูปแบบการสื่อสารแบบอนุกรม 39

2-37 วงจรแปลงระดับแรงดันของการสื่อสารแบบอนุกรม 39

2-38 การแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม 40

3-1 แสดงภาพบล๊อคของลอจิกแอนนาไลเซอร์ 41

3-2 แสดงรูปวงจรทำงานของการสุ่มและคงค่าข้อมูล 42

3-3 แสดงรูปสัญญาณที่ได้จาวงจรสุ่มและคงค่าข้อมูล 43

3-4 แสดงวงจรสร้างสัญญาณนาฬิกา 44

3-5 แสดงรูปวงจรเปรียบเทียบค่าสัญญาณขนาด 16 บิต 45

3-6 แสดงรูปวงจรภายในของวงจรเปรียบเทียบค่าสัญญาณ 45

3-7 รูปแบบการส่งข้อมูลแบบอนุกรม 46

3-8 State Diagram ของการส่งข้อมูลแบบอนุกรม 47

3-9 รูปแบบการรับข้อมูลแบบอนุกรม 47

3-10 State Diagram ของการรับข้อมูลแบบอนุกรม 48

3-11 แสดงวงจรนับตำแหน่งแอดเดรส 49

3-12 แสดงหน้าตาของโปรแกรม 51

สารบัญรูป (ต่อ)

รูปที่	หน้าที่
3-13 รูปแสดงโครงสร้างการเก็บค่าสัญญาณ	52
3-14 แสดงรูปแบบการเขียนข้อมูลลงเท็กซ์ไฟล์	53
3-15 แสดง flowchart การเขียนข้อมูลลงเท็กซ์ไฟล์	53
3-16 แสดง flowchart การโหลดข้อมูลที่เคยเก็บบันทึกไว้จากเท็กซ์ไฟล์	54
3-17 แสดงการเริ่มค่าการวัดใหม่	55
3-18 แสดงรูปสัญญาณที่ผ่านกาดวาดโดยฟังก์ชั่นวาดรูปสัญญาณ	56
3-19 แสดง flowchart ขึ้นตอนการวาดรูปคลื่นสัญญาณออกหน้าจอ	56
3-20 แสดงการแสดงผลของรูปคลื่นสัญญาณแบบย่อ และขยาย	57
3-21 แสดงเคอร์เซอร์ทั้ง 3 แบบ	58
3-22 แสดงการใช้งานฟังก์ชั่น Go to X	59
3-23 แสดงการจัดกลุ่มสัญญาณ 2 กลุ่ม คือ กลุ่ม Bus 1 และ กลุ่ม group	60
3-24 แสดงหน้าต่างตั้งค่าการจัดกลุ่มสัญญาณ	60
3-25 แสดงหน้าต่างตั้งค่าค้นหาข้อมูล	61
3-26 แสดงหน้าต่างเมื่อการค้นหาเสร็จสิ้น	62
3-27 แสดงหน้าต่างตั้งค่าช่องสัญญาณ	62
3-28 แสดงหน้าต่างการตั้งค่าสภาพแวดล้อม	63
3-29 แสดงสภาพแวดล้อมของการแสดงผลแบบต่างๆ	64
3-30 แสดงการแสดงผลแบบตัวเลข	64
3-31 แสดงการแสดงผลแบบรูปสัญญาณ	65
3-32 แสดงการแสดงผลแบบสี	65
3-33 แสดงตัวอย่างงานพิมพ์	66
4-1 แสดงภาพบล็อกของลอจิกแอนนาไลเซอร์จริงหลังทำการทศสอบ	67
4-2 แสดงผลการทดลองของลอจิกแอนนาไลเซอร์จำนวน 16 ช่องสัญญาณโดยใช้ Sample rate 24MHz	68
4-3 แสดงผลการทดลองของลอจิกแอนนาไลเซอร์จำนวน 16 ช่องสัญญาณโดยใช้ Sample rate 1MHz	69